

ATE 测试中的 Bandgap Trim 技术研究

葛 南, 陈东坡

(上海交通大学 微电子学院, 上海 200240)

摘 要: 由于工艺的影响, 带隙基准电压会有一定的偏差, 在 ATE 测试阶段, 需要利用 trim 技术对基准电压进行修调. 通过一种 EEPROM 修调电路, 在 EEPROM 中写入 trim code 来控制与 trim 电阻并联的开关, 以达到修调基准电压的目的. 同时采用了一种新颖的自动修调算法, 只需要测试基准电压的初始值, 就可以自动找出最佳的 trim code. 对于每个芯片来说既可以节省长达 63.3 ms 的测试时间, 又能够保证测试准确, 降低了测试成本. 通过对 300 个芯片的基准电压测试结果的分析, 验证了这种算法的准确性.

关键词: 带隙基准; trim; EEPROM; 自动修调

中图分类号: TP311

文献标识码: A

文章编号: 1000-7180(2015)04-0070-05

The Research of Bandgap Trim for ATE Test

GE Nan, CHEN Dong-po

(School of Micro electronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: Because of process variation, there will be some voltage deviations in bandgap reference. So we need to trim the bandgap reference in ATE testing phase. An EEPROM circuit can be used to trim the Bandgap voltage. The switches parallel with the resistances can be controlled by writing trim code to EEPROM. A novel algorithm called automatic trimming is also introduced. This algorithm is able to find the best trim code only according to the initial bandgap voltage. Test time is reduced as much as 63.3 ms and accuracy can also be ensured. The bandgap test results of 300 samples are analyzed to verify the accuracy of the proposed algorithm.

Key words: bandgap; trim; EEPROM; automatic trimming algorithm

1 引言

Bandgap 在混合信号集成电路中有着广泛的应用, 如在 D/A 转换器、A/D 转换器、开关电源等电路中, 其精度直接影响整个芯片的性能. 将与绝对温度成正比的 (PTAT) 电压和双极型晶体管的基极-发射极电压相加即可得到低温漂的基准电压^[1-2]. 一直以来人们在减小温度、输入电压对 Bandgap 的影响方面做了许多工作, 但工艺的影响仍然限制了 Bandgap 性能的提高. 目前主要的误差是由双极晶体管与 MOS 管引起, 在一些情况下电阻、电容的不匹配也会引起一定的误差. Package-shift 就是限制 Bandgap 准确度的一个主要因素, 由于塑料封装的热膨胀系数是硅片的十倍有余, 当塑料封装从铸造

温度冷却到室温时, 会对硅片施加不断增长的应力^[3-4], 封装之后的 Bandgap 电压值就会出现一定的偏差. 所以在 ATE 测试阶段, 就需要通过 trim 来修调这些偏差, 进而提高芯片的良率.

本文介绍一种采用 EEPROM 的 trim 电阻结构, 并基于这种结构提出一种新颖的自动修调算法, 减少测试时间, 降低测试成本.

2 Bandgap 基本原理

一个理想的基准电压源在输入电压、输出电流、环境温度发生变化的情况下都能够提供相同的电压. 通常一个实用的集成电路基准电压在 -40℃ 到 125℃ 的温度范围会有 $\pm 1\% \sim 2\%$ 的容差.

为了构建一个基准电压源, 首先要找出受工艺

影响较小的器件参数. 集成双极晶体管的基极-发射极电压 V_{BE} 受工艺影响的变化小于 2%, 但 V_{BE} 受温度的影响较大, 温度系数约为 $-3\,000 \times 10^{-6} / ^\circ\text{C}$. 这就需要增加一个正温度系数的 PTAT 电压, 来补偿 V_{BE} 的负温度系数, 如图 1 所示.

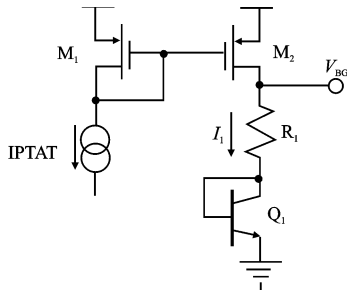


图1 Bandgap 基本电路

IPTAT 电流通过 $M_1 - M_2$ 构成的电流镜产生电流 I_1 , I_1 流经电阻 R_1 则产生正温度系数的 PTAT 电压, 这个电压与 Q_1 的基极-发射极电压 V_{BE} 之和就是带隙基准电压 V_{BG} :

$$V_{BG} = V_{BE} + I_1 R_1 \quad (1)$$

双极晶体管发射结正向偏置时电压为

$$V_{BE} = V_T \ln\left(\frac{I_C}{I_S}\right) \quad (2)$$

式中, I_C 为集电极电流, V_T 为热电压, I_S 为饱和电流, 与发射结面积成正比:

$$I_S = cT^\gamma \exp\left(\frac{-V_{G0}}{V_T}\right) \quad (3)$$

式中, V_{G0} 是绝对温度为零时硅的带隙电压, c 与 γ 是与温度无关的常数.

将式(3)代入式(1), 并假设晶体管的 β 无穷大 ($I_C = I_1$), 可得:

$$V_{BG} = \frac{KT}{q} \ln\left(\frac{I_1}{CT^\gamma}\right) + V_{G0} + R_1 I_1 \quad (4)$$

由于 I_1 为 PTAT 电流, 可以将其看作一个与温度无关的常量 I_0 与绝对温度 T 的乘积 $I_0 T$, 代入式(4)得:

$$V_{BG} = \frac{KT}{q} \ln\left(\frac{I_0}{C}\right) + \frac{KT(1-\gamma)\ln T}{q} + V_{G0} + R_1 I_1 T \quad (5)$$

为了得到与温度无关的基准电压 V_{BG} , 令 V_{BG} 对 T 的导数为 0, 可得:

$$\frac{dV_{BG}}{dT} = \frac{KT}{q} \ln\left(\frac{I_0}{C}\right) + \frac{K(1-\gamma)\ln T}{q} + \frac{K(1-\gamma)}{q} + R_1 I_0 = 0 \quad (6)$$

由式(6)可得出 $R_1 I_0$, 代入式(5) 可得:

$$V_{BG0} = V_{G0} + (\gamma - 1)V_T \quad (7)$$

绝对零度下硅的带隙电压 V_{G0} 为 1.205 V, 系数 γ 的理论值为 1.6, 代入(8)中得到 V_{BG0} 的值为 1.22 V. 因为 V_{BG0} 与 V_{G0} 十分接近, 所以通常将 V_{BG0} 称为带隙电压, 将产生带隙电压的基准源称为带隙基准.

在现代集成电路中一种广泛应用的基准电压是 Brokaw Bandgap. Brokaw Bandgap 改进了 Widlar Bandgap 中的一些限制^[5], 以其特有的低输出噪声和小电阻等特点常见于各种芯片. 一种基本的 Brokaw Bandgap 结构如图 2 所示.

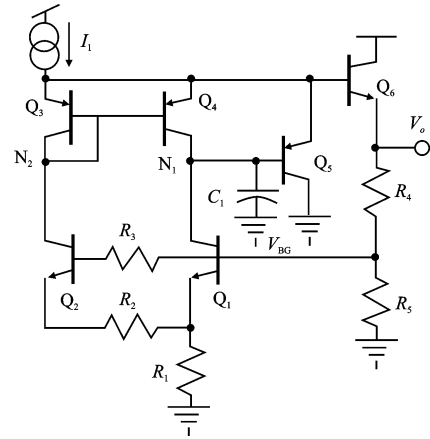


图2 Brokaw Bandgap

在这个电路中, Q_1, Q_2 在 R_2 两端产生电压差 ΔV_{BE} . 由于 Q_1, Q_2 要工作在不同的电流密度下, 一种方法是使 Q_2 的发射结面积是 Q_1 的 N 倍, 且 Q_1, Q_2 具有相同的集电极电流, 则:

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln(N) \quad (8)$$

所以 R_2 两端就会产生流经 Q_2 的电流. 忽略基极电流, 那么 Q_3, Q_4 构成的电流镜使得 Q_1 中的电流与 Q_2 相同, 这两个电流流经 R_1 , 则 V_{BG} 为

$$V_{BG} = \frac{2R_1 V_T \ln(N)}{R_2} + V_{BE1} \quad (9)$$

V_{BG} 经 R_4, R_5 分压, 得到所需的输出电压 V_O :

$$V_O = \frac{R_4 + R_5}{R_5} \left(\frac{2R_1 V_T \ln(N)}{R_2} + V_{BE1} \right) \quad (10)$$

I_1 是与 R_1, R_2 相匹配的 PTAT 电流源, 为电路提供偏置电流, 可以避免使用额外的启动电路. 一对射极跟随器 Q_5, Q_6 产生输出电压 V_O . Q_5 可以对 I_1 多余的偏置电流进行分流, Q_6 为 R_4, R_5 提供偏置电流. 这种拓扑结构将 Q_3, Q_4 的发射极连接到 Q_6 的基极, 电压值为 $V_O + V_{BE6}$ 且保持稳定, 这种连接消除了输入电压的影响, 提高了电源调整率.

3 Trim Brokaw Bandgap

由于工艺的影响, 每个器件的带隙基准都会有

一定的偏差. 图 2 所示的 Brokaw Bandgap 中, 晶体管 Q_1-Q_2, Q_3-Q_4 的不匹配是影响 V_{BG} 的主要因素. 这些不匹配主要由于发射区面积 A_e 的不同, 导致集电极电流成比例的变化. 集电极电流的表达式为

$$I_C = A_e J_s \exp\left(\frac{C_{BE}}{V_T}\right) \quad (11)$$

所以集电极电流的变化会引起 R_2 两端电压的增加或减少, 从而使带隙基准的 VPTAT 部分成比例的变化. 下面从新给出 V_O 的表达式, 包括 VPTAT 部分与 V_{BE} 部分:

$$V_O = \frac{2R_1(R_4 + R_5)V_T \ln(N)}{R_2 R_5} + \frac{(R_4 + R_5)}{R_5} V_{BE1} \quad (12)$$

这个式子表明, VPTAT 部分与 R_1 有关, 所以可以 trim R_1 来修调 VPTAT 部分, 从而补偿 Q_1-Q_2 或 Q_3-Q_4 的不匹配所造成的误差.

Trim 也可以补偿受工艺影响的双极晶体管基极-发射极电压. 基区掺杂和基区宽度是影响 V_{BE} 的主要因素. 饱和电流 I_S 的表达式为:

$$I_S = \frac{A_e n_i^2 K T \mu_n}{Q_B} \quad (13)$$

式中, A_e 是发射结面积, n_i 为本征载流子浓度, K 为玻尔兹曼常数, μ_n 为电子迁移率. 其中 Q_B 的表达式为

$$Q_B = q \int_0^{W_B} N_A \quad (14)$$

式中的积分项称为 Gummel Number (GNB).

将式(13)代入式(2)中得:

$$V_{BE} = V_T \ln\left(\frac{I_C Q_B}{A_e n_i^2 K T \mu_n}\right) \quad (15)$$

假设 Q_B 受工艺影响发生变化, 变为 cQ_B , 那么 V_{BE} 的变化量为

$$\begin{aligned} \Delta V_{BE} &= V_T \ln\left(\frac{I_C c Q_B}{A_e n_i^2 K T \mu_n}\right) - V_T \ln\left(\frac{I_C Q_B}{A_e n_i^2 K T \mu_n}\right) \\ &= V_T \ln(c) \end{aligned} \quad (16)$$

式(16)表明 Gummel Number 的变化导致 V_{BE} 发生 PTAT 的变化, 可以通过 trim R_1 来修调.

所以 trim 的目的就是修调 Bandgap 中的 PTAT 电压, 使输出电压最为接近目标值, 以减小工艺带来的影响. 在上文所述的 Brokaw Bandgap 结构中就可以 trim R_1 来修调 VPTAT 部分.

一种比较传统的 trim 方法是 Zener Zapping. 这种方法主要在 wafer 阶段使用. 需要 trim 的部分由多个电阻串联而成, 每个电阻都与一个齐纳二极管并联, 并且这些齐纳二极管背靠背相互连接. 在这

些电阻之间加入 probe, trim 的时候通过 probe 施加正向或反向的脉冲击穿二极管就可以了. 这种方法的优点是易于实现, 而且齐纳二极管背靠背连接可以使 probe 的数量减少, 但是有一个限制条件, 就是 trim 电阻正常工作时的电流要很小, 不足以使正向连接的二极管导通, 这样整个电路才能正确工作. 这个条件使得 trim 的范围较窄, 精度不高, 而且要求较大的裸片面积, 对于小型封装的器件来说, 成本效益较低.

目前通常使用的一种方法是采用 EEPROM 作为存储单元的 trim 技术^[6]. 该技术成本低, 灵活性大, 而且修调之后的成品率高. 一个 4 位 EEPROM 电阻修调电路如图 3 所示.

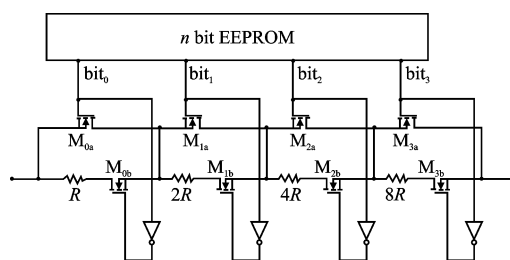


图 3 EEPROM 4 位电阻修调电路

每一个数字信号位都对应了一个电阻和一个开关, 电阻从低位到高位值分别为 $R, 2R, 4R, 8R$. 每个开关由一个反相器和一对 NMOS 管组成. 开关中的每对 M_{1a} 与 M_{1b} 尺寸都是相同的, 并且在版图图中排列在一起, 所以它们具有相同的导通电阻 $R_{on}(i)$. 所以 trim 部分的电阻 R_t 为:

$$R_t = \sum_{i=0}^B (\sim \text{bit}_i) \cdot 2^i \cdot R + \sum_{i=0}^B R_{on}(i) \quad (17)$$

$\sim \text{bit}_i$ 是数字信号 i 位取反, R 是单位电阻, 因为 $\sum_{i=0}^B R_{on}(i)$ 是常量, 所以 R_t 的变化与数字位 $\text{bit}_3 \sim \text{bit}_0$ 呈线性关系.

将修调电路应用到图 2 所示结构中, 对 R_1 进行 trim, 设 R_1 由两部分构成: R_0 与 R_t . R_0 为不可修调的部分, R_t 为 trim 部分的阻值. 根据式(9)重新计算 V_{BG} 可得:

$$V_{BG} = \frac{2(R_0 + R_t)V_T \ln(N)}{R_2} + V_{BE1} \quad (18)$$

将式(17)代入式(18)可以看出, $\text{bit}_3 \sim \text{bit}_0$ 构成的二进制数每增加 1, V_{BG} 的变化量均为:

$$\Delta V_{BGMIN} = \frac{2RV_T \ln(N)}{R_2} \quad (19)$$

所以数字位 $\text{bit}_3 \sim \text{bit}_0$ 与 V_{BG} 也呈线性关系.

$$\Delta V_{\text{BGMAX}} = \frac{2(15R)V_i \ln(N)}{R_2} \quad (20)$$

由式(19)可知, R 的值可以确定 trim 的精度, 由(20)可知, $15R$ 可以确定 trim 的范围^[7].

如果将 trim bit 为 0000 时定为 Bandgap 的初始值, 那么这种结构只能使 Bandgap 值变大. 为了使基准电压值既能增大又能减小, 并且依然将 0000 定为初始值以便于编程计算, 可以使 $\text{bit}_0 \sim \text{bit}_2$ 对应的开关取反, 于是 trim bit 为 0000 时对应的阻值为 $7R + \sum_{i=0}^2 R_{\text{on}}(i)$, 则 trim bit 由 0000 变化到 0111, 基准电压值线性减小, 从 1111 变化到 1000, 基准电压值线性增大.

4 自动修调

4.1 Trim Target

由式(9)可知, V_{BG} 中的 PTAT 电压随温度变化的图线为一条过原点(0K, 0V)的直线. 由于工艺的影响, PTAT 电压的温度系数会发生偏移, 表现为直线斜率的变化, 但无论工艺使温度系数变大还是变小, 直线始终会经过原点. 所以只要在一个温度下进行 trim, 就可以修正 PTAT 电压的温度系数, 并不需要在多个温度下修调. 这就是 ATE 通常只在室温条件下进行 trim 的原因.

设 $V_{\text{BG}}(T)$ 在温度为 T_0 处的温度系数为 0, 对应电压值为 $V_{\text{BG}0}$. 将 $V_{\text{BG}}(T)$ 在 $V_{\text{BG}0}$ 处泰勒展开可得:

$$V_{\text{BG}}(T) + \sum_{n=0}^{\infty} \frac{(T-T_0)^n}{n!} \cdot \frac{d^n V_{\text{BG}}(T_0)}{dT^n} \quad (21)$$

式中常数项为 $V_{\text{BG}0}$, 线性项为 0, 将式(5)代入式(21)可得:

$$V_{\text{BG}}(T) = V_{\text{BG}0} + \sum_{n=0}^{\infty} \frac{(T-T_0)^n}{n!} \cdot \frac{k(1-\gamma)}{(-1)^{n-1}(n-1)!qT_0^{n-1}} \quad (22)$$

整理式(22)并展开前面部分项可得

$$V_{\text{BG}}(T) = V_{\text{BG}0} - \frac{V_{T0}(1-\gamma)}{2} \left(\frac{T}{T_0} - 1\right)^2 + \frac{V_{T0}(1-\gamma)}{12} \left(\frac{T}{T_0} - 1\right)^3 + \dots \quad (23)$$

式中, V_{T0} 是 $T = T_0$ 时的热电压. 由式(23)可以看出, 具有一阶补偿的 V_{BG} 随温度变化的曲线近似为抛物线, 所以在全温度范围内(通常为 -40°C 到 125°C)基准电压值会稍有改变. 如果在温度为 T_{min} 与 T_{max} 时基准电压值相等, 那么 $V_{\text{BG}}(T)$ 在全温度范围具有最小的偏移量, 而温度系数为 0 的点落在中间温度上(约为 42.5°C). 所以在常温下进行 trim

时, 设定的 target 并不一定是使 V_{BG} 温度系数为 0 的电压, 而应使 V_{BG} 的变化幅度最小.

4.2 改进的算法

确定了 trim target 之后, 就要在 16 个 trim step 中找出最接近 target 的一个, 作为最终的 trim code 烧写到 EEPROM 中. 断电之后烧写的值也会继续保存, 等到芯片再次上电时, EEPROM 中的 trim code 就会控制开关的通断, 保证 Bandgap 输出准确的电压. 通常情况下, trim step 的初始值是 0000, 这样编程时就可以从 0000 依次搜索到 1111, 找出最接近 target 的 trim step. 这种算法称为全搜索, 程序比较简短, 但是对每个 trim step 都要测量电压值, 测试时间较长, 不利于降低成本. 由于电阻受工艺的影响是按百分比的变化的, 这就说明, 每个芯片的 Bandgap 即使 trim step 相同, 对应的电压值也会有偏差, 但是这些电压值相对于初始值的百分比是彼此很接近的. 如果将 Bandgap 的初始值设为 pre, 即 trim bit 为 0000 时所对应的电压值, 将十六个 trim step 所对应的电压值设为 $\text{post}(i)$, $i = 0 \sim 15$, 这样就会算出 16 个百分比为

$$\text{pct}(i) = \frac{\text{post}(i) - \text{pre}}{\text{pre}}, i = 0 \sim 15 \quad (24)$$

因此可以得到一个 trim table, 记录每个 trim step 相对于初始值的百分比. 在测试时, 只需要测 Bandgap 的初始值, 就可以根据 trim table 估算出 16 个 trim 值, 再从中找出最接近 target 的值. 这就是自动修调, 搜索内存中的 trim table 比全搜索的测量要快很多, 既能保证准确度, 又可以节省测试时间.

为了得到更加准确的 trim table, 需要测量至少 200 个 sample 来计算平均值, 于是程序设计思路如下: 设置 16 个容量为 200 的环形数组, 前面 200 个 sample 进行全搜索, 并计算每个 step 相对于初始值的百分比, 存入环形数组中. 测试到 200 个时, 环形数组存满数据, 但并不是所有数据都可用, 有的百分比会有较大的偏差, 这就不适合用来计算平均值, 需要除去异常值(filter outliers). 本文中采用除去平稳界外值的方法, 根据每个环形数组上下四分位的值, 算出合理的取值范围, 然后计算范围内百分比的平均值. 并用这个平均值填充环型数组, 得到 trim table. 从第 201 个 sample 开始, 就不需要进行全搜索了, 只测一次初始值, 利用 trim table 便可找到最接近 target 的 trim code. 将最佳 trim code 烧写到 EEPROM 中, 再次测量就

得到 trim 之后的 Bandgap 值. 为了保持 trim table 的动态更新, 200 以后 sample 的 trim code 对应的百分比如果落在取值范围内也要存入环型数组, 覆盖掉一个最早存入的值, 并重新计算平均值, 这样可以保证 trim table 总是根据最近测试的 200 个 sample 得到的.

5 实验结果分析

根据上文所述的自动修调算法编写出测试程序, 对 300 个 DCDC Buck 芯片在室温条件下进行 ATE 测试. Bandgap 的 target 对于不同产品也会稍有不同, 对于本次实验的产品 Bandgap target 为 1.236 V(室温条件下), 测试要求精确到 1 mV. 图 4 所示为 16 个 trim step 与对应的 Bandgap 电压值的关系图, 可以看出 trim step 与基准电压值有非常好的线性关系, 步长约为 4 mV. 与理论分析相符合. 在用全搜索测完 200 个芯片后, 程序会立即对每个 trim step 的环形寄存器进行 filter outliers, 然后算出 16 个平均值, 就可以得出 trim table. 表 1 则列出了测试所得出的 trim table.

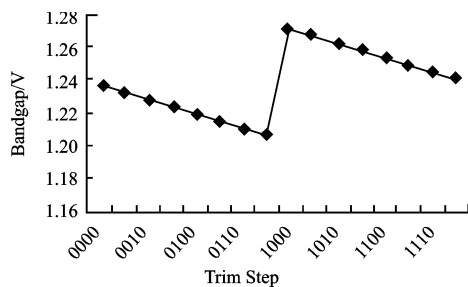


图 4 trim step 与 Bandgapvoltage 对应关系图

表 1 Trim Table

Step	Percent/%	Step	Percent/%
* 0000	0	1000	2.82
0001	-0.33	1001	2.49
0010	-0.68	1010	2.14
0011	-1.01	1011	1.80
0100	-1.41	1100	1.42
0101	-1.73	1101	1.09
0110	-2.09	1110	0.74
0111	-2.43	1111	0.40

注: 带有 * 的 step 是 default trim step

对于后 100 个芯片, 则是只测 Bandgap 的初始值, 然后利用 trim table 估算每个 trim step 的值, 找出最佳 trim code. 程序在每次找到 trim code 后, 会

将其所对应的百分比存入环形数组, 覆盖一个最早存入的值并重新算出平均值, 更新 trim table, 再进行下一次测试, 所以 trim table 是一个不断更新的动态表格, 在这里就不一一列出了.

为了验证 trim table 的准确性, 后 100 个芯片用了自动修调和全搜索两种方法来测, 便于进行比较. 表 2 列出了根据 trim table 计算的 16 个 step 的 Bandgap 值与实际全搜索测出的值依次进行比较.

表 2 自动修调的估算值与实际测量值比较

Step	Estimate/ V	True val. /V	Step	Estimate/ V	True val. /V
* 0000	⊗ ×	1.235	1 000	1.269 8	1.270
000 1	1.230 9	1.231	1001	1.265 8	1.266
0010	1.226 6	1.227	1010	1.261 4	1.262
0011	1.222 5	1.223	1011	1.257 2	1.258
0100	1.217 6	1.218	1100	1.252 5	1.253
0101	1.213 6	1.214	1101	1.248 4	1.249
0110	1.209 2	1.209	1110	1.244 1	1.244
0111	1.205 0	1.205	1111	1.239 9	1.240

注: 根据自动修调算法, × 号表示对于 default trim step 没有估算值, 只有实际测量值

全搜索采用 ATE 测试机上的 Quad Measurement System(QMU)对 Bandgap 进行测试, 误差在 $\pm 100 \mu\text{V}$ 以内, 对于要求精确到 1 mV 的 Bandgap 来说是非常准确的. 而利用 trim table 估算的值与真实值的误差在 $\pm 1 \text{ mV}$ 以内, 所以这两种算法最终将得到相同的最佳 trim code, 在表 2 中都为 0000. 需要说明的是, 将 trim code 烧写到 EEPROM 后, 程序还会用 QMU 测试 trim 过的 Bandgap 值作为最终测试结果, 所以自动修调算法只要能准确地找到最佳 trim code 就可以了, 因此 1 mV 以内的估算误差对于 4 mV 的步长来说是满足要求的. 最后, 对比自动修调算法与全搜索的测试时间, 采用 trim table 的自动修调只要 39.1 ms 的时间就可以找到最佳 trim code, 而全搜索的方法需要 102.4 ms 找到最佳的 trim code.

6 结束语

带有 EEPROM 的 Bandgap trim 电路优点明显, 不同于传统的 Zener Zapping, EEPROM 可以反复烧写, 而且修调精度高, 范围大. 将 EEPROM 与自动修调算法相结合, 对于每个芯片的 Bandgap 测

(下转第 78 页)

进行了测试,测试结果如图 7 所示,结果表明 NoC 设计正确,能进行有效的通信。

```
sendData U_sendData(.FSL_S_Data(namedSignal_sendDataDistributor_FSL_S_Data),
.FSL_S_Exists(namedSignal_sendDataDistributor_FSL_S_Exists),
.FSL_S_Read(namedSignal_sendDataDistributor_FSL_S_Read),
.out0FsmDataToSend(namedSignal_send1DataDistributor_Out0FsmDataToSend),
.out0FsmDataToSendNew(namedSignal_send1DataDistributor_out0FsmDataToSendNew),
.out0FsmDataToSendNewAck(namedSignal_send1DataDistributor_out0FsmDataToSendNewAck),
.out0FsmIdle(namedSignal_send1DataDistributor_out0FsmIdle),
.programingInProgress (namedSignal_send1DataDistributor_programingInProgress),
.sendWiresAllocated(namedSignal_send1DataDistributor_sendWiresAllocated),
.CLK(namedSignal_CLK),.RST(namedSignal_Rst));
serializer U_serializer(.dataToSend(namedSignal_outFsm_DataToSend),
.dataToSendNew(namedSignal_outFsm_DataToSendNew),
.dataToSendNew(namedSignal_outFsm_DataToSendNewAck),
.output_xhd0(namedSignal_outFsm_outFsm_Output),
.idle(namedSignal_outFsm_Idle),.CLK(namedSignal_CLK),.RST(namedSignal_Rst));
```

图 6 数据发送模块的 Verilog HDL 核心代码

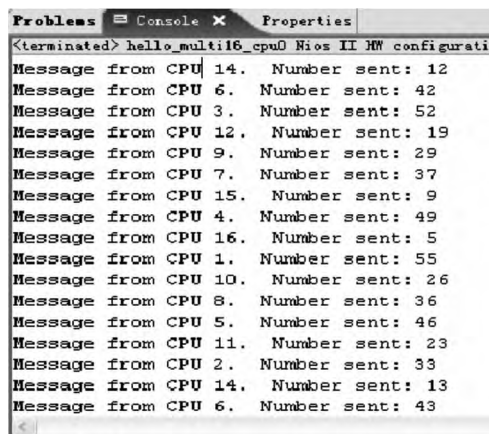


图 7 测试程序运行结果图

在实际应用中,片上网络可以随资源节点的数量、接口协议、通信要求等进行调整,本文设计的片

上网络使用 Avalon 总线协议,对使用诸如 AXI、OCP 等协议的资源节点,只需对网络接口的资源节点端的接口协议进行一定的修改即可适用。

参考文献:

- [1] Ju X, Yang L. NoC research and practice: design and implementation of 2×4 2D-torus topology[J]. International Journal of Information Technology and Computer Science, 2011, 3(4): 50-56.
- [2] Freitas H C, Navaux P O A, Santos T G S. Noc architecture design for multi-cluster chips[C] // Field Programmable Logic and Applications, 2008. International Conference on. Minnesota, IEEE, 2008: 53-58.
- [3] 黎黎. 片上网络路由算法研究及路由节点的 FPGA 设计[D]. 成都: 电子科技大学, 2007.
- [4] 刘毅, 杨银堂, 周东红. 一种面向片上网络的多时钟路由器设计[J]. 西安电子科技大学学报, 2011, 38(2): 146-150.
- [5] 任泽坤. 一种 NOC 路由架构设计与分析[D]. 西安: 西安电子科技大学, 2011.

作者简介:

孔德春 男, (1988-), 硕士研究生. 研究方向为多核核间通信. E-mail: konglingqua@163.com.

施慧彬 男, (1966-), 博士, 副教授. 研究方向为计算机体系结构、多核微处理器设计、可重构计算、多核虚拟化技术、嵌入式系统、编译技术、软件工程.

(上接第 74 页)

试可以减少 63.3ms 的测试时间,同时又能保证准确度.对于大批量的芯片,这种算法运用在实际测试中可以降低一部分测试成本.

参考文献:

- [1] Guang Ge, Cheng Zhang, Gian Hoogzaad, et al. A single-trim CMOS bandgap reference with a 3σ inaccuracy of $\pm 0.15\%$ from 4°C to 125°C [J]. IEEE Journal of Solid-State Circuits, 2011, 46(11): 2693-2701.
- [2] 汤华莲, 庄奕琪, 张丽, 等. 一种可校准的低温漂基准电流源[J]. 西安电子科技大学学报: 自然科学版, 2013, 40(4): 130-136.
- [3] Buddhika Abesingha, Gabriel A Rincón-Mora, David Briggs. Voltage shift in plastic-packaged bandgap references[J]. IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal, 2002, 49(10):

1-5.

- [4] Wortman J J, Hauser J R, Burger R M. Effect of mechanical stress on p-n junction device characteristics [J]. Applied Physics, 1964, 35(1): 2122-2131.
- [5] Brokaw A P. A simple three-terminal IC bandgap reference[J]. Solid-State Circuits, 1974, 9(6): 388-393.
- [6] Ning Zhihua, He Le nian. A low drift curvature-compensated bandgap reference with trimming resistive circuit[J]. Journal of Zhejiang University-SCIENCE C: Computers & Electronics, 2011, 12(8): 698-706.
- [7] 季赛健, 刘文平, 徐俊华. 一种用于模拟电路修调的 EEPROM 电路[J]. 微电子学与计算机, 2011, 28(7): 198-201.

作者简介:

葛南女, (1989-), 硕士研究生. 研究方向为 Analog 测试. E-mail: 904991007@qq.com.